

明細書

アクティブマトリックス表示パネルを備えた表示装置及びその駆動方法

技術分野

本発明は、アクティブマトリックス表示パネルを備えた表示装置及びその駆動方法に関する。

背景技術

発光素子を用いたアクティブマトリックス表示器には、画素毎の駆動素子として多結晶シリコン、アルモファスシリコン(a-Si)や有機半導体等を用いたTFT (Thin Film Transistor: 薄膜トランジスタ)が用いられている。アルモファスシリコン或いは有機半導体を用いたTFTには、ゲートに電圧を印加し続けるとゲートスレッショルド電圧 V_{th} がシフトする現象、すなわちゲートストレスがあることが知られている(例えば、S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw: APPLIED PHYSICS LETTERS VOLUME 79, NUMBER 8 20AUGUST 2001 "Bias stress in organic thin-film transistors and logic gates"参照)。この現象をPチャネルTFTを例に説明する。図1A及び図1Bにゲートストレスによるゲートスレッショルド電圧 V_{th} のシフトの様子を示す。PチャネルTFTの場合には、ゲート・ソース間電圧 V_{gs} をマイナスにして印加し続けると、ゲートストレスによって時間経過と共にゲートスレッショルド電圧 V_{th} が図1Aに示すようにマイナス方向に変化し、これにより、例えば、図1Bに示すように V_{th1} から V_{th2} にシフトしていく。この変化は、 V_{gs} を0V若しくはプラスにし

て印加し続けることによって基の V_{th} に復帰する。逆に、 V_{gs} をプラスにして印加し続けると、時間経過と共に V_{th} はプラス方向にシフトし、その後、 V_{gs} を0V若しくはマイナスにして印加し続けることによって元の V_{th} に復帰する。シフト量は、 V_{gs} の絶対値及び印加時間が大きいほど大きくなる。このような特性を示すTFTを有機EL素子の駆動に用いると、表示中に徐々に V_{th} がシフトしていくことになる。

従来の駆動方法では、 V_{th} の初期値のばらつきに加えてゲートストレスによる V_{th} の変動まで見込んで駆動電圧、駆動条件を設定する必要があるため、駆動電圧の上昇を招き、消費電力の増大をもたらしていた。また、 V_{th} のばらつきが大きくなるに従って、それを補正する回路を用いたとしても駆動電流の誤差が大きくなり表示品質の低下をもたらすという欠点もあった。

発明の開示

本発明の目的は、ゲートストレスを抑制して表示品質の低下を防止することができるアクティブマトリックス表示パネルを備えた表示装置及びその駆動方法を提供することである。

本発明の表示装置は、各々が発光素子とその発光素子に流れる電流を制御する薄膜トランジスタとを含む複数の画素部を有するアクティブマトリックス表示パネルを備えた表示装置であって、前記複数の画素部に電源電圧を供給する電源と、入力画像信号に応じて、フレーム毎に前記表示パネルの複数行のうちから1の行を所定のタイミングで順次指定し、前記1の行内の各画素部に表示用走査パルスを供給し、前記表示用走査パルスの供給時に前記1の行内の各画素部に前記薄膜トランジスタの第1のゲート電圧を示すデータパルスを供給し、その後、前記1

の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記 1 の行内の各画素部に前記薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性に、又は 0 ボルト又は 0 ボルト近傍にせしめるための前記薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを供給する表示制御手段と、を含み、前記複数の画素部各々は、前記表示用走査パルスにตอบสนองして前記データパルスに対応した前記第 1 のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスにตอบสนองして前記リセットパルスに対応した前記第 2 のゲート電圧を前記薄膜トランジスタのゲートに供給する駆動部を有することを特徴としている。

本発明の駆動方法は、各々が発光素子とその発光素子に流れる電流を制御する薄膜トランジスタと含む複数の画素部を有するアクティブマトリックス表示パネルの駆動方法であって、前記複数の画素部に電源電圧を供給し、入力画像信号に応じてフレーム毎に前記表示パネルの複数行のうちから 1 の行を所定のタイミングで順次指定し、前記 1 の行内の各画素部に表示用走査パルスを供給し、前記表示用走査パルスの供給時に前記 1 の行内の各画素部に前記薄膜トランジスタの第 1 のゲート電圧を示すデータパルスを供給し、その後、前記 1 の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記 1 の行内の各画素部に前記薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性に、又は 0 ボルト又は 0 ボルト近傍にせしめるための前記薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを供給し、前記複数の画素部各々においては、前記表示用走査パルスにตอบสนองして前記データパルスに対応した前記第 1 のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用

走査パルスに応答して前記リセットパルスに対応した前記第 2 のゲート電圧を前記薄膜トランジスタのゲートに供給することを特徴としている。

図面の簡単な説明

図 1 A 及び図 1 B はゲートスレッシュホールド電圧の変化及びゲート電圧ードレイン電流特性の変化を各々示す図である。

図 2 は本発明の実施例を示すブロック図である。

図 3 は図 2 の装置中の表示パネルの 1 つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

図 4 はフレーム毎の表示モード及びリセットモードの各期間を示す図である。

図 5 は表示モード及びリセットモード各々におけるゲート・ソース間電圧の設定範囲を示す図である。

図 6 は各フレームの表示モード及びリセットモードにおけるゲート・ソース間電圧を示す図である。

図 7 は本発明の他の実施例を示すブロック図である。

図 8 は図 7 の装置中の表示パネルの 1 つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

図 9 はフレーム毎の表示モード及びリセットモードの各期間を示す図である。

図 10 は図 7 の装置の場合の各フレームの表示モード及びリセットモードにおけるゲート・ソース間電圧を示す図である。

図 11 はサブフィールド法を適用した場合のフレーム毎の表示モード及びリセットモードの各期間を示す図である。

図 12 はサブフィールド法を適用した場合の各フレームの表示モード及びリセ

ットモードにおけるゲート・ソース間電圧を示す図である。

図 1 3 は本発明の他の実施例として図 7 の装置中の表示パネルの 1 つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

図 1 4 は図 1 3 の実施例におけるフレーム毎の表示モード及びリセットモードの各期間を示す図である。

発明を実施するための形態

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図 2 は本発明によるアクティブマトリックス表示パネルを用いた表示装置を示している。この表示装置は、表示パネル 1 1、走査パルス供給回路 1 2、データ信号供給回路 1 3、及びコントローラ 1 5 を備えている。

表示パネル 1 1 は、 $m \times n$ 個 (m, n は 2 以上の整数) の画素からなるアクティブマトリックス型のものであり、各々が平行に配置された複数のデータ線 $X_1 \sim X_m$ と、複数の走査線 $Y_1 \sim Y_n$ と、複数の画素部 $PL_{1,1} \sim PL_{m,n}$ を有している。画素部 $PL_{1,1} \sim PL_{m,n}$ は、データ線 $X_1 \sim X_m$ と走査線 $Y_1 \sim Y_n$ との交差部分に配置され、全て同一の構成を有する。また、画素部 $PL_{1,1} \sim PL_{m,n}$ は電源線 Z に接続されている。電源線 Z には電源 (図示せず) から電源電圧 (正電圧 V_{dd}) が供給される。

複数の画素部 $PL_{1,1} \sim PL_{m,n}$ 各々は図 3 に示すように、2 つの TFT (薄膜トランジスタ) 3 1, 3 2 と、キャパシタ 3 4 と、有機 EL (エレクトロルミネッセンス) 素子 3 5 とを備えている。図 3 に示した画素部ではそこに関するデータ線を X_i (i は 1 $\sim m$ のうちのいずれか 1)、走査線を Y_j (j は 1 $\sim n$ のうちのいずれか 1) としている。

2つのTFT31, 32各々はPチャンネルのものである。TFT31のゲートは走査線Y_jに接続され、そのソースはデータ線X_iに接続されている。TFT31のドレインにはキャパシタ34の一端と駆動TFT32のゲートとが接続されている。キャパシタ34の他端とTFT32のソースとは電源線Zに接続されている。TFT32のドレインはEL素子35のアノードに接続されている。EL素子35のカソードはアース接続されている。

表示パネル11の走査線Y₁～Y_nは走査パルス供給回路12に接続され、またデータ線X₁～X_mはデータ信号供給回路13に接続されている。コントローラ15は入力される画像信号に応じて表示パネル11を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査パルス供給回路12に供給され、データ制御信号はデータ信号供給回路13に供給される。

走査パルス供給回路12は、走査制御信号に応じて表示用走査パルスを所定のタイミングで走査線Y₁～Y_nにその順番で供給し、リセット用走査パルスを所定のタイミングで走査線Y₁～Y_nにその順番で供給する。その表示用走査パルス及びリセット用走査パルスの供給は入力画像信号のフレーム毎に行われる。走査線毎に1つの表示用走査パルスが供給されてから1/2フレーム期間後にリセット用走査パルスが供給される。

データ信号供給回路13は、データ制御信号に応じて走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成する。その画素データパルスは発光輝度を示すデータ信号である。データ信号供給回路13は、データ線X₁～X_mを介して発光駆動すべき少なくとも1の画素部に対して画素データパルス及びリセットパルスを供給する。非発光の画素部に対してはEL素

子を発光させることがないレベルの画素データパルス及びリセットパルスを供給する。データ信号供給回路 13 には、データ線 $X_1 \sim X_m$ 毎に画素データパルス発生部及びリセットパルス発生部が備えられている。例えば、図 3 に示すように、データ線 X_i に対応して画素データパルス発生部 21*i* 及びリセットパルス発生部 22*i* が備えられている。画素データパルス発生部はデータ制御信号に応じて画素データパルスを発生してデータ線 $X_1 \sim X_m$ に供給する。リセットパルス発生部はデータ制御信号に応じてリセットパルスを発生してデータ線 $X_1 \sim X_m$ に供給する。

入力画像信号の各フレームは図 4 に示すように、表示モードの期間とリセットモードの期間とに分けられている。走査線毎に表示用走査パルスの発生によって表示モードとなり、リセット用走査パルスの発生によって表示モードからリセットモードに変わる。表示モードとリセットモードとは互いに等しい時間的長さを有する。各フレーム期間において表示モードとリセットモードとの位置は走査線毎に走査タイミングに対応して時間方向にずれている。表示モードの期間は発光のための画素データパルスが供給された画素部の EL 素子を発光させる。リセットモードの期間は非発光期間であり、ゲートストレスによるゲートスレッショルド電圧 V_{th} のシフトを抑制する期間である。

表示モードの期間では、先ず、画素データパルス発生部各々から画素データパルスが発生され、データ線 $X_1 \sim X_m$ に供給される。そのとき表示用走査パルスが印加された走査線が図 3 に示した画素部であるとして説明すると、TF T 3 1 がオンとなり、画素データパルス発生部 21*i* からの画素データパルスが TF T 3 1 を介して TF T 3 2 のゲートに第 1 のゲート電圧として供給される。これに

より、キャパシタ 34 が充電され、E L 素子 35 を駆動する T F T 32 のゲート・ソース間電圧が電圧 V_{gs-d} に設定される。 $V_{gs-d} \leq 0$ V であり、E L 素子の発光のためには $V_{gs-d} < V_{th}$ である。

リセット用走査パルスが供給され、表示モードに続くリセットモードになると、それと同時にリセットパルス発生部各々からリセットパルスが発生され、データ線 $X_1 \sim X_m$ に供給される。表示モードの場合と同様に図 3 に示した画素部について説明すると、リセット用走査パルスに応じて T F T 31 がオンとなり、リセットパルス発生部 22 i からのリセットパルスが T F T 31 を介して T F T 32 のゲートに第 2 のゲート電圧として供給される。これにより、画素部のキャパシタ 34 が表示モードとは逆極性で充電され、T F T 32 のゲート・ソース間電圧が電圧 V_{gs-r} に設定される。 $V_{gs-r} \geq 0$ V であり、 $V_{gs-r} = -V_{gs-d}$ の関係がある。

表示モード期間のゲート・ソース間電圧 V_{gs-d} の設定範囲とリセットモード期間のゲート・ソース間電圧 V_{gs-r} の設定範囲とは図 5 に示すように示すことができる。1 つの画素部の表示モード期間のゲート・ソース間電圧 V_{gs-d} が V_1 であれば、それに続くリセットモード期間のゲート・ソース間電圧 V_{gs-r} は $-V_1$ となる。なお、 V_{max} は V_{gs-d} の設定範囲の絶対値の最大値であり、 $-V_{max}$ は V_{gs-r} の設定範囲の絶対値の最大値である。

1 つの画素部のフレーム毎の表示モード及びリセットモード各々の駆動 T F T のゲート・ソース間電圧は例えば、図 6 に示す如く変化する。ゲート・ソース間電圧は画素データパルスの振幅値に応じて変化し、ゲート・ソース間電圧に応じたドレイン電流が駆動 T F T 及び E L 素子には流れる。フレーム 1 ~ 4 各々にお

いて $V_{gs-r} = -V_{gs-d}$ の関係が得られている。ゲート・ソース間電圧の平均値は 0 V となる。

このように、各フレームにおいて駆動 T F T にゲート・ソース間電圧 V_{gs-d} が印加されると、それに対応してゲート・ソース間電圧 V_{gs-r} が印加されるので、ゲートストレスを解消させることができ、その結果、ゲートスレッショルド電圧 V_{th} の変動を抑えることができる。

図 7 は本発明の他の実施例として表示装置を示している。この表示装置は、表示パネル 4 1、走査パルス供給回路 4 2、データ信号供給回路 4 3、及びコントローラ 4 5 を備えている。

表示パネル 4 1 は、 $m \times n$ 個の画素からなるアクティブマトリックス型のものであり、各々が平行に配置された複数のデータ線対 $X 1 a, X 1 b \sim X m a, X m b$ と、複数の走査線対 $Y 1 a, Y 1 b \sim Y n a, Y n b$ と、複数の画素部 $P L_{1,1} \sim P L_{m,n}$ を有している。画素部 $P L_{1,1} \sim P L_{m,n}$ は、データ線対 $X 1 a, X 1 b \sim X m a, X m b$ と走査線対 $Y 1 a, Y 1 b \sim Y n a, Y n b$ との交差部分に配置され、全て同一の構成を有する。データ線 $X 1 a \sim X m a$ は画素データパルス用であり、データ線対 $X 1 b \sim X m b$ はリセットパルス用である。走査線 $Y 1 a \sim Y n a$ は表示走査線であり、走査線 $Y 1 b \sim Y n b$ はリセット走査線である。

複数の画素部 $P L_{1,1} \sim P L_{m,n}$ 各々は図 8 に示すように、3 つの T F T 5 1 \sim 5 3 と、キャパシタ 5 4 と、有機 E L 素子 5 5 とを備えている。図 8 に示した画素部ではそこに関係するデータ線対を $X i a, X i b$ (i は 1 \sim m のうちのいずれか 1)、走査線対を $Y j a, Y j b$ (j は 1 \sim n のうちのいずれか 1) としている。

3つのTFT51～53各々はPチャンネルのものである。TFT51は表示モード用であり、そのゲートは走査線Y_{ja}に接続され、そのソースはデータ線X_{ia}に接続されている。TFT52はリセットモード用であり、そのゲートは走査線Y_{jb}に接続され、そのソースはデータ線X_{ib}に接続されている。TFT51、52のドレインにはキャパシタ54の一端と駆動TFT53のゲートとが接続されている。キャパシタ54の他端とTFT53のソースとは電源線Zに接続されている。TFT53のドレインはEL素子55のアノードに接続されている。EL素子55のカソードはアース接続されている。

表示パネル41の走査線対Y_{1a}, Y_{1b}～Y_{na}, Y_{nb}は走査パルス供給回路42に接続され、またデータ線対X_{1a}, X_{1b}～X_{ma}, X_{mb}はデータ信号供給回路43に接続されている。コントローラ45は入力される画像信号に応じて表示パネル11を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査パルス供給回路42に供給され、データ制御信号はデータ信号供給回路43に供給される。

走査パルス供給回路42は、走査制御信号に応じて表示用走査パルスを所定のタイミングで走査線Y_{1a}～Y_{na}にその順番で供給し、リセット用走査パルスを所定のタイミングで走査線Y_{1b}～Y_{nb}にその順番で供給する。その各走査パルスの供給は入力画像信号のフレーム毎に行われる。1フレームに対する表示用走査パルスの走査期間とリセット用走査パルスの走査期間とは長さにおいて同一である。同一フレームに対しては表示用走査パルスによる走査が開始されてから1/2走査期間だけ遅れてリセット用走査パルスによる走査が開始される。

データ信号供給回路43は、データ線X_{1a}～X_{ma}毎に画素データパルス発生

部及びデータ線X 1 b～X mb 毎にリセットパルス発生部を備えている。例えば、図8に示すように、データ線X i a に対応して画素データパルス発生部6 1 i が備えられ、データ線X i b に対応してリセットパルス発生部6 2 i が備えられている。画素データパルス発生部は、データ制御信号に応じて表示用走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成し、それをデータ線X 1 a～X ma を介して各画素部に対して供給する。また、リセットパルス発生部はデータ制御信号に応じてリセット用走査パルスが供給される走査線上に位置する画素部各々に対するリセットパルスを生成し、それをデータ線X 1 b～X mb を介して各画素部に対して供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データパルス及びリセットパルスを供給する。

入力画像信号の各フレームは図9に示すように、表示モードとリセットモードとに分けられている。表示モードとリセットモードとは互いに等しい時間的長さを有する。各フレーム期間において表示モードとリセットモードとの位置は走査線毎に走査タイミングに対応して時間方向にずれている。この図9から分かるように、図7の表示装置の走査速度は図2に示した表示装置の走査速度（図4）に比べて1／2になっている。

表示モードでは、先ず、画素データパルス発生部各々から画素データパルスが発生され、データ線X 1 a～X ma に供給される。そのとき表示用走査パルスが印加された表示走査線が図8に示した画素部であるとして説明すると、表示用走査パルスによってT F T 5 1 がオンとなり画素データパルスに応じて画素部のキャパシタ5 4 が充電され、EL素子5 5 を駆動するT F T 5 3 のゲート・ソース間

電圧が電圧 V_{gs-d} に設定される。 $V_{gs-d} \leq 0$ V であり、EL素子の発光のためには $V_{gs-d} < V_{th}$ である。

その表示モードに続くリセットモードになると、リセットパルス発生部 62₁ ~ 62_m 各々からリセットパルスが発生され、データ線 X1b ~ Xmb に供給される。表示モードの場合と同様に図 8 に示した画素部について説明すると、リセット用走査パルスによって TFT 52 がオンとなり、リセットパルスに応じて画素部のキャパシタ 34 が表示モードとは逆極性で充電され、TFT 53 のゲート・ソース間電圧が電圧 V_{gs-r} に設定される。 $V_{gs-r} \geq 0$ V であり、 $V_{gs-r} = -V_{gs-d}$ の関係がある。

なお、 $V_{gs-r} = -V_{gs-d}$ ではなくて、 V_{gs-r} はゲートストレスを緩和する電圧に設定しても良い。例えば、 $V_{gs-r} = k \times V_{gs-d}$ とし、 k は任意の負の定数である。或いは $V_{gs-r} = C$ の如く負の固定値 C としても良い。 $V_{gs-r} = -V_{max}/2$ とした場合には、1つの画素部のフレーム毎の表示モード及びリセットモード各々の駆動 TFT のゲート・ソース間電圧は例えば、図 10 に示す如く変化する。ゲート・ソース間電圧 V_{gs-d} は画素データパルスの振幅値に応じて変化するが、 V_{gs-r} は常時 $-V_{max}/2$ に設定される。

上記した各実施例においては、各フレームの表示モードの期間とリセットモードの期間とが等しいが、互いに異なる期間にしても良い。

また、上記した各実施例においては、1フレームを1フィールドとして表示する方法について説明したが、1フレーム期間を複数のフィールド期間に分割する、いわゆるサブフィールド法を用いて表示パネルを駆動する装置に本発明を適用しても良い。

サブフィールド法を用いた表示装置としては、図 7 に示した構成を用い、更に、複数の画素部 $PL_{1,1} \sim PL_{m,n}$ 各々としては図 8 に示した構成をそのまま用いることができる。入力画像信号の各フレーム期間は例えば、図 11 に示すように、3つのフィールド期間に分割されている。また、各フィールド期間には表示モード期間とリセットモード期間とが設けられている。すなわち、第 1 フィールドには第 1 表示モード及び第 1 リセットモードが存在し、第 2 フィールドには第 2 表示モード及び第 2 リセットモードが存在し、第 3 フィールドには第 3 表示モード及び第 3 リセットモードが存在する。第 1 表示モード及び第 1 リセットモードは互いに等しい時間的長さを有し、他の各モードより短い期間である。第 2 表示モード及び第 2 リセットモードは互いに等しい時間的長さを有する。第 3 表示モード及び第 3 リセットモードは互いに等しい時間的長さを有し、他の各モードより長い期間である。

かかるサブフィールド法を用いた表示装置においては、画素部の EL 素子を発光させるフィールドでは、図 12 に示すように、第 1 及び第 2 フィールドの表示モードの期間には TFT 53 のゲート・ソース間電圧は電圧 V_{gs-d} に設定される。この電圧 V_{gs-d} は TFT 53 をオン状態にさせる電圧である。第 1 及び第 2 フィールドのリセットモードの期間には TFT 53 のゲート・ソース間電圧は電圧 $-V_{gs-d}(=V_{gs-r})$ に設定される。一方、画素部の EL 素子を非発光にさせるフィールドでは、第 3 フィールドの表示モードの期間には TFT 53 のゲート・ソース間電圧は 0 V に設定され、TFT 53 をオフ状態にさせる。第 3 フィールドのリセットモードの期間には TFT 53 のゲート・ソース間電圧は 0 V に設定される。ただし、非発光のフィールドでは、TFT 53 をオフ状態にさせるゲー

ト・ソース間電圧であれば、表示モードは0 V以外の電圧 V_{off} ($V_{off} < 0$) でも良く、それに対応してリセットモードの期間にはゲート・ソース間電圧は $-V_{off}$ に設定される。

図13は本発明の他の実施例として画素部を示している。この画素部は図3に示した画素部の構成をEL素子を除いて2組（駆動部A、B）備えられている。すなわち、有機EL素子75を共通にして駆動部Aは2つのTFT71、72と、キャパシタ74とを備え、駆動部Bは2つのTFT81、82と、キャパシタ84とを備えている。1つの画素部に対して2つのデータ線 X_{ia} 、 X_{ib} と1つの走査線 Y_j とが関係する。データ線 X_{ia} はTFT71のソースに接続され、データ線 X_{ib} はTFT81のソースに接続され、走査線 Y_j はTFT71、81のゲートに接続されている。

データ線 X_{ia} には奇数フレーム期間ではデータ信号供給回路93内の画素データパルス発生部94iから画素データパルスがスイッチ96iを介して供給され、偶数フレーム期間ではデータ線 X_{ia} にはデータ信号供給回路93内のリセットパルス発生部95iからリセットパルスがスイッチ96iを介して供給される。データ線 X_{ib} には奇数フレーム期間ではデータ信号供給回路93内のリセットパルス発生部95iからリセットパルスがスイッチ97iを介して供給され、偶数フレーム期間ではデータ線 X_{ib} にはデータ信号供給回路93内の画素データパルス発生部94iから画素データパルスがスイッチ97iを介して供給される。

よって、入力画像信号の各フレームにおいては図14に示すように、フレーム1では駆動部Aが表示モード期間となり、画素データパルスに応じてEL素子

75を駆動し、駆動部Bがリセットモード期間となり、リセットパルスに応じて駆動TF T 8 2のゲートストレスを解消させる。フレーム2では駆動部Aがリセットモード期間となり、リセットパルスに応じて駆動TF T 7 2のゲートストレスを解消させ、駆動部Bが表示モード期間となり、画素データパルスに応じてEL素子75を駆動する。駆動部Aは表示モード期間のTF T 7 2のゲート・ソース間電圧が V_{gs-d} であれば、次のフレームのリセットモード期間にはTF T 7 2のゲート・ソース間電圧 V_{gs-r} は $-V_{gs-d}$ に設定される。同様に、駆動部Bは表示モード期間のTF T 8 2のゲート・ソース間電圧が V_{gs-d} であれば、次のフレームのリセットモード期間にはTF T 8 2のゲート・ソース間電圧 V_{gs-r} は $-V_{gs-d}$ に設定される。

なお、上記した各実施例においては、PチャネルTF Tを用いた表示パネルについて説明したが、本発明はNチャネルTF Tを用いた表示パネルにも適用することもできる。図3に示した実施例では、TF T 3 1のソースはデータ線 X_i に接続され、ドレインはキャパシタ34の一端と駆動TF T 3 2のゲートとに接続されているが、TF T 3 1のドレインがデータ線 X_i に接続され、ソースがキャパシタ34の一端と駆動TF T 3 2のゲートとに接続される構成でも良い。また、図8に示した実施例のFET 5 1, 5 2及び図13に示した実施例のFET 7 1, 8 1についてもドレインとソースとが逆に接続されても良い。

更に、上記した実施例においては、リセット用走査パルスの供給時に選択画素部に薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性にせしめるためのリセットパルスを個別に供給しているが、そのリセットパルスの個別供給は薄膜トランジスタのゲート・ドレイン間電圧を発光駆動時とは逆極性にせし

めるためであっても良い。

また、表示パネルの各画素部は上記したデータ設定用T F Tと駆動用T F Tとの組み合わせによる構成に限らず、電流プログラム方式の回路であっても良い。

また、上記した各実施例においては、発光素子として有機E L素子を用いた場合について説明したが、本発明は無機L E D、F E D (Field Emission Display) 等の他の電流駆動タイプの発光素子に適用することができる。

以上のように、本発明によれば、E L素子の発光駆動毎に駆動T F Tのゲート・ソース電圧を発光駆動時とは逆極性にするようにゲート電圧を印加するので、ゲートストレスを抑制して表示品質の低下を防止することができる。

請求の範囲

1. 各々が発光素子と前記発光素子に流れる電流を制御する薄膜トランジスタと含む複数の画素部を有するアクティブマトリックス表示パネルを備えた表示装置であって、

前記複数の画素部に電源電圧を供給する電源と、

入力画像信号に応じて、フレーム毎に前記表示パネルの複数行のうちから1の行を所定のタイミングで順次指定し、前記1の行内の各画素部に表示用走査パルスを提供し、前記表示用走査パルスの供給時に前記1の行内の各画素部に前記薄膜トランジスタの第1のゲート電圧を示すデータパルスを提供し、その後、前記1の行内の各画素部にリセット用走査パルスを提供し、前記リセット用走査パルスの供給時に前記1の行内の各画素部に前記薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性に、又は0ボルト又は0ボルト近傍にせしめるための前記薄膜トランジスタの第2のゲート電圧を示すリセットパルスを提供する表示制御手段と、を含み、

前記複数の画素部各々は、前記表示用走査パルスに応答して前記データパルスに対応した前記第1のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスに応答して前記リセットパルスに対応した前記第2のゲート電圧を前記薄膜トランジスタのゲートに供給する駆動部を有することを特徴とする表示装置。

2. 前記第1のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧の絶対値は前記第2のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧の絶対値に等しいことを特徴とする請求項1記載の表示装置。

3. 前記第2のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧は固定電圧であることを特徴とする請求項1記載の表示装置。
4. 各フレーム期間は前記薄膜トランジスタのゲートに前記第1のゲート電圧が供給される表示モード期間と、前記薄膜トランジスタのゲートに前記第2のゲート電圧が供給されるリセットモード期間とを有することを特徴とする請求項1記載の表示装置。
5. 1のフレーム期間で前記薄膜トランジスタのゲートに前記第1のゲート電圧が供給される表示モード期間であった画素部は次のフレーム期間では前記薄膜トランジスタのゲートに前記第2のゲート電圧が供給されるリセットモード期間となることを特徴とする請求項1記載の表示装置。
6. 前記画素部は前記薄膜トランジスタからなる等価な2つの駆動回路を備え、前記2つの駆動回路は前記表示モードと前記リセットモードとを交互に切り替えることを特徴とする請求項5記載の表示装置。
7. 各フレーム期間においてサブフィールド法に基づいて表示モード期間と、前記リセットモード期間とが繰り返されることを特徴とする請求項4記載の表示装置。
8. 前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項1記載の表示装置。
9. 前記薄膜トランジスタは、アモルファシスシリコン薄膜トランジスタであることを特徴とする請求項1記載の表示装置。
10. 前記薄膜トランジスタは、有機半導体薄膜トランジスタであることを特徴とする請求項1記載の表示装置。

1 1. 各々が発光素子と前記発光素子に流れる電流を制御する薄膜トランジスタとを含む複数の画素部を有するアクティブマトリックス表示パネルの駆動方法であって、

前記複数の画素部に電源電圧を供給し、

入力画像信号に応じてフレーム毎に前記表示パネルの複数行のうちから 1 の行を所定のタイミングで順次指定し、前記 1 の行内の各画素部に表示用走査パルスを提供し、前記表示用走査パルスの供給時に前記 1 の行内の各画素部に前記薄膜トランジスタの第 1 のゲート電圧を示すデータパルスを提供し、その後、前記 1 の行内の各画素部にリセット用走査パルスを提供し、前記リセット用走査パルスの供給時に前記 1 の行内の各画素部に前記薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性に、又は 0 ボルト又は 0 ボルト近傍にせしめるための前記薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを提供し、

前記複数の画素部各々においては、前記表示用走査パルスに応答して前記データパルスに対応した前記第 1 のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスに応答して前記リセットパルスに対応した前記第 2 のゲート電圧を前記薄膜トランジスタのゲートに供給することを特徴とする駆動方法。

1 2. 前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 1 記載の駆動方法。

1 3. 前記薄膜トランジスタは、アモルファシスシリコン薄膜トランジスタであることを特徴とする請求項 1 1 記載の駆動方法。

1 4. 前記薄膜トランジスタは、有機半導体薄膜トランジスタであることを特

徴とする請求項 1 1 記載の駆動方法。

図 1A

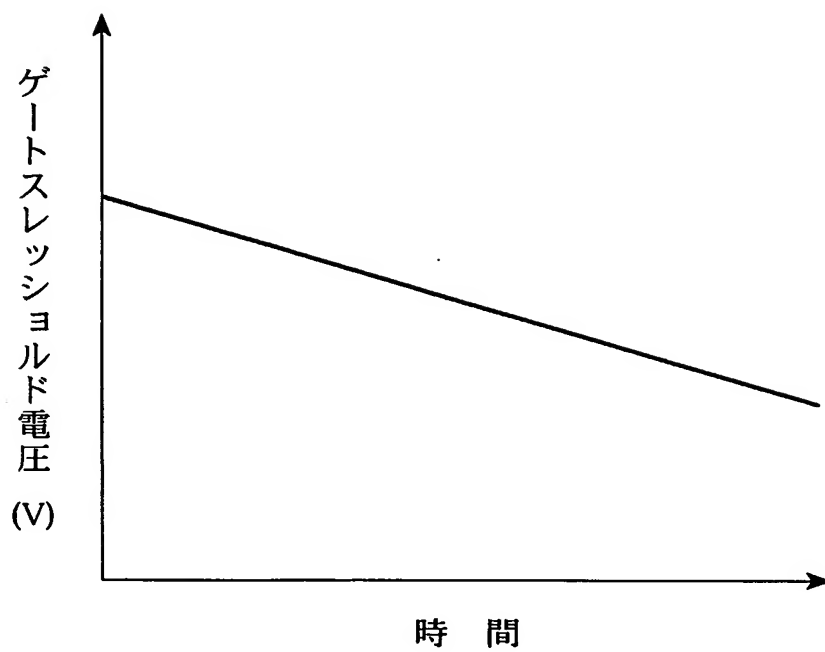


図 1B

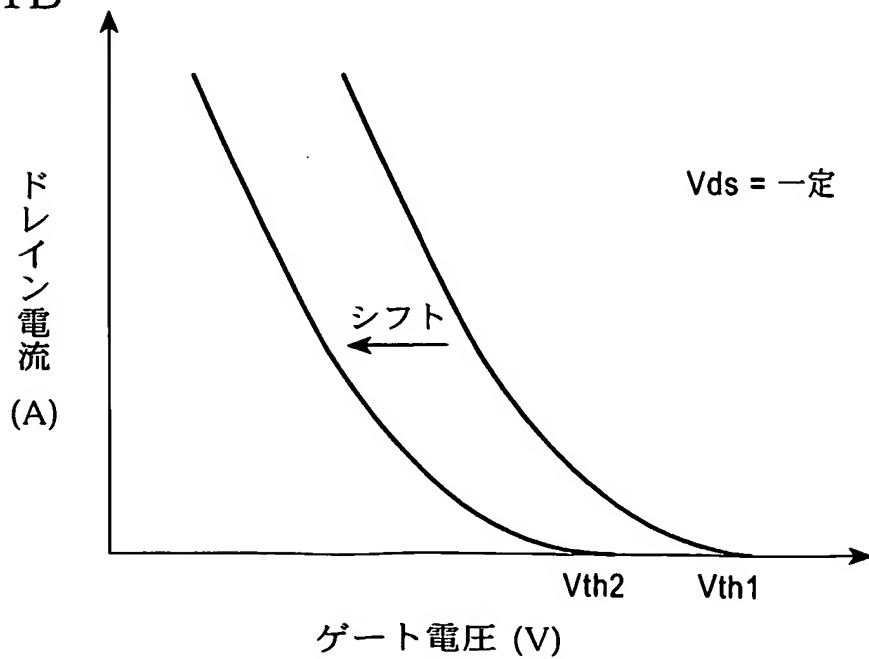


図 2

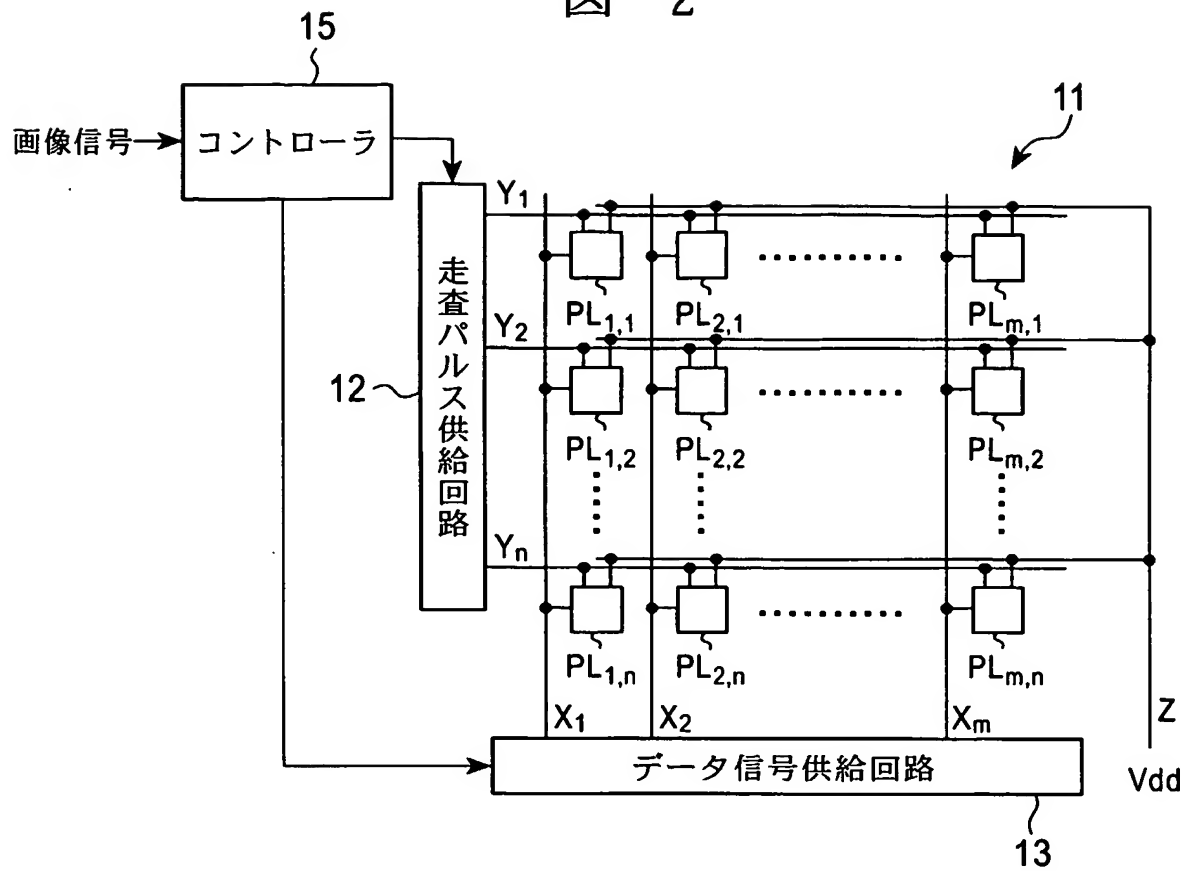


図 3

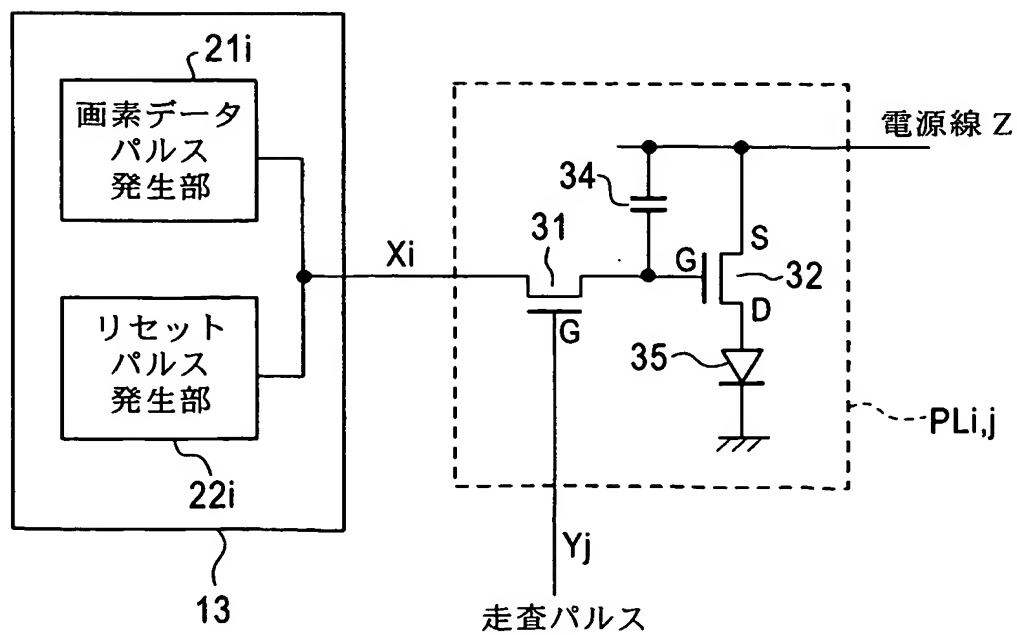


図 4

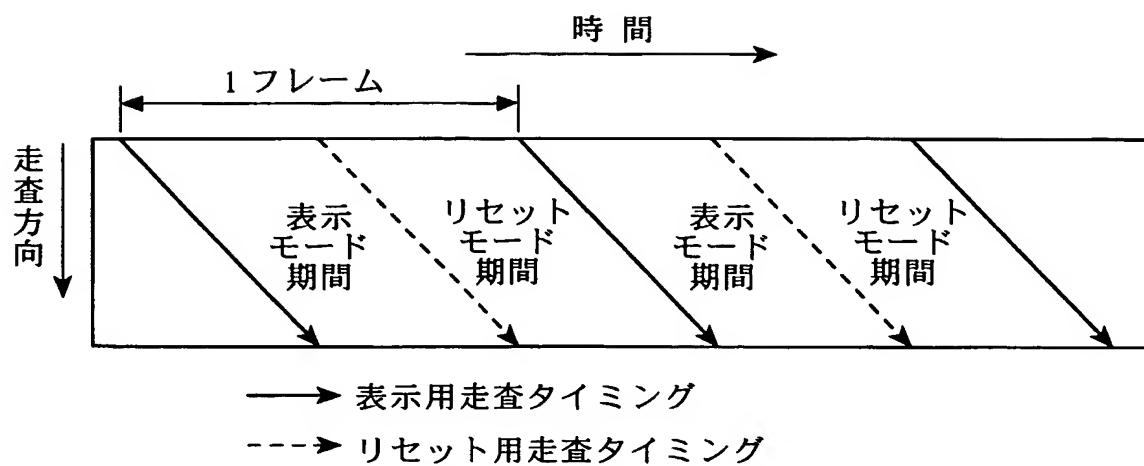


図 5

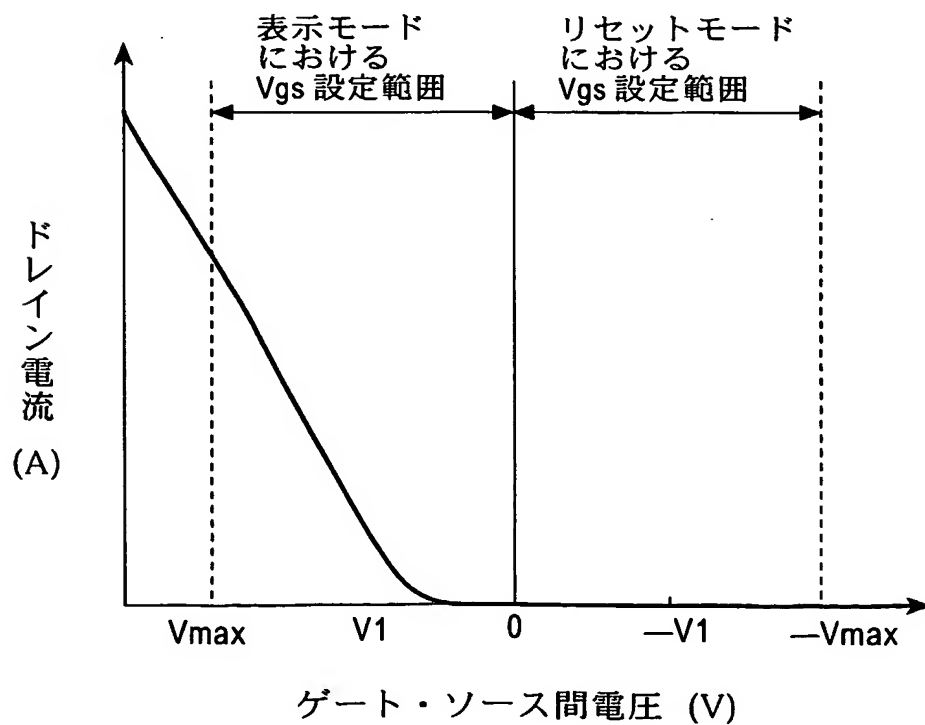


图 6

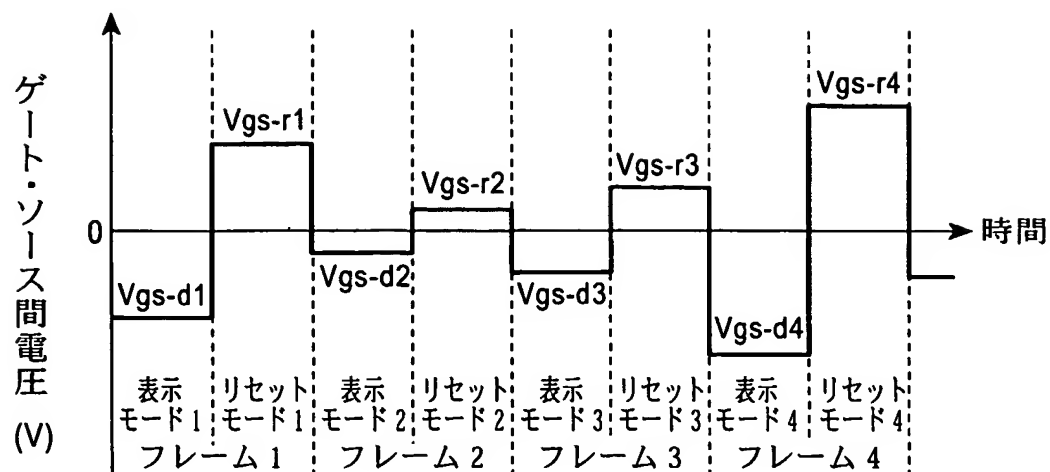


图 7

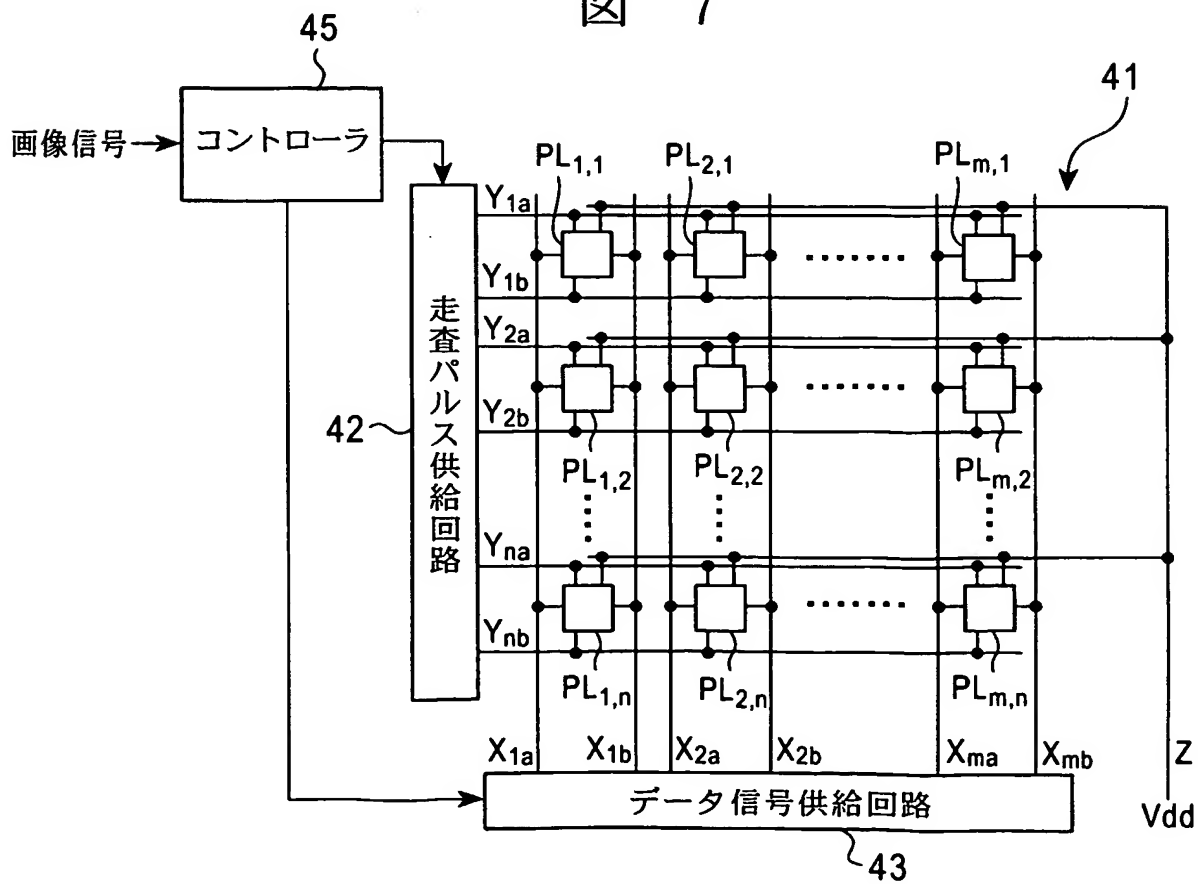


図 8

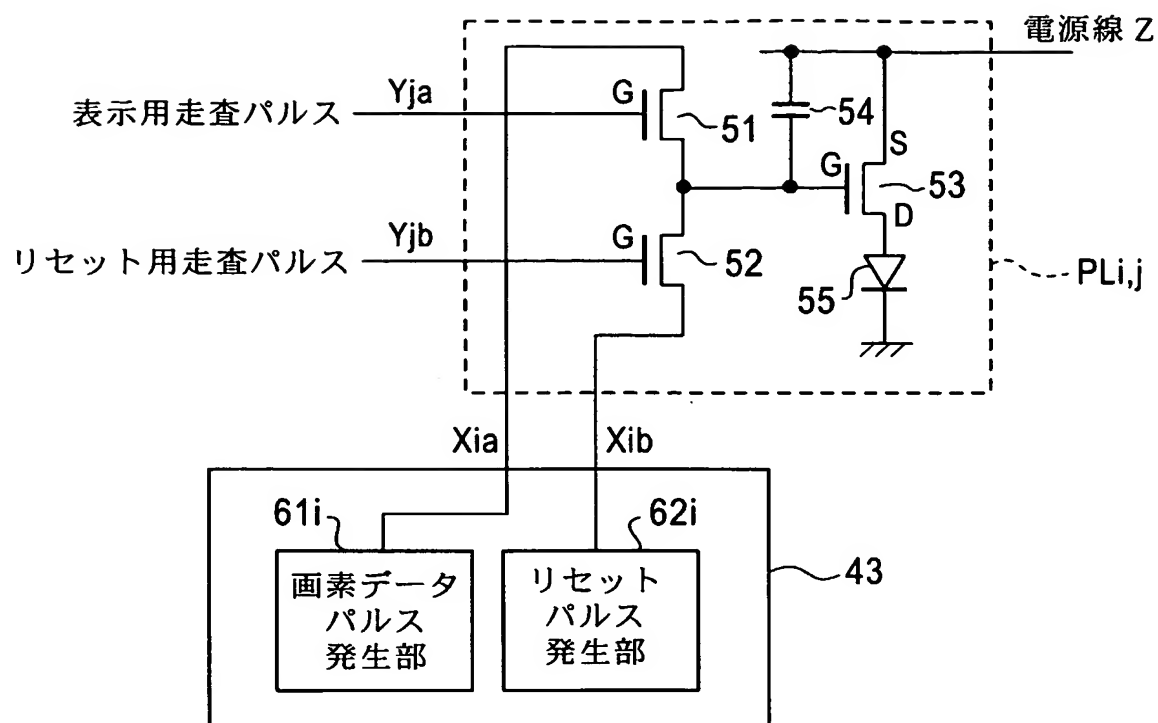


図 9

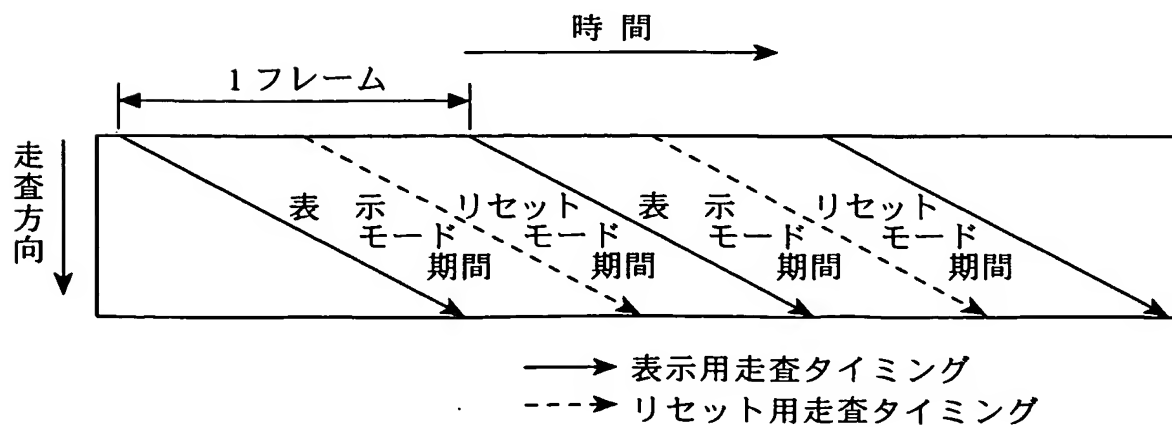


図 10

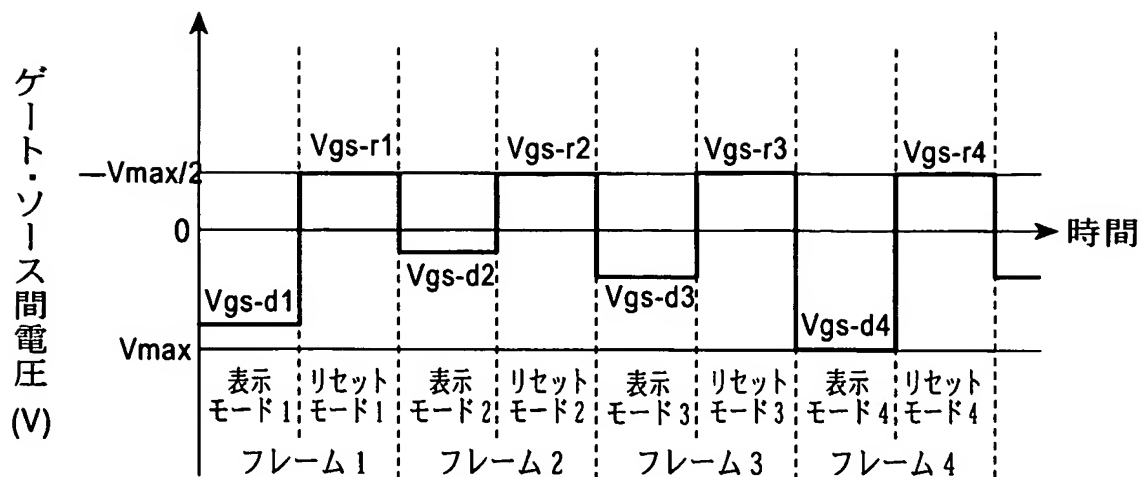


図 11

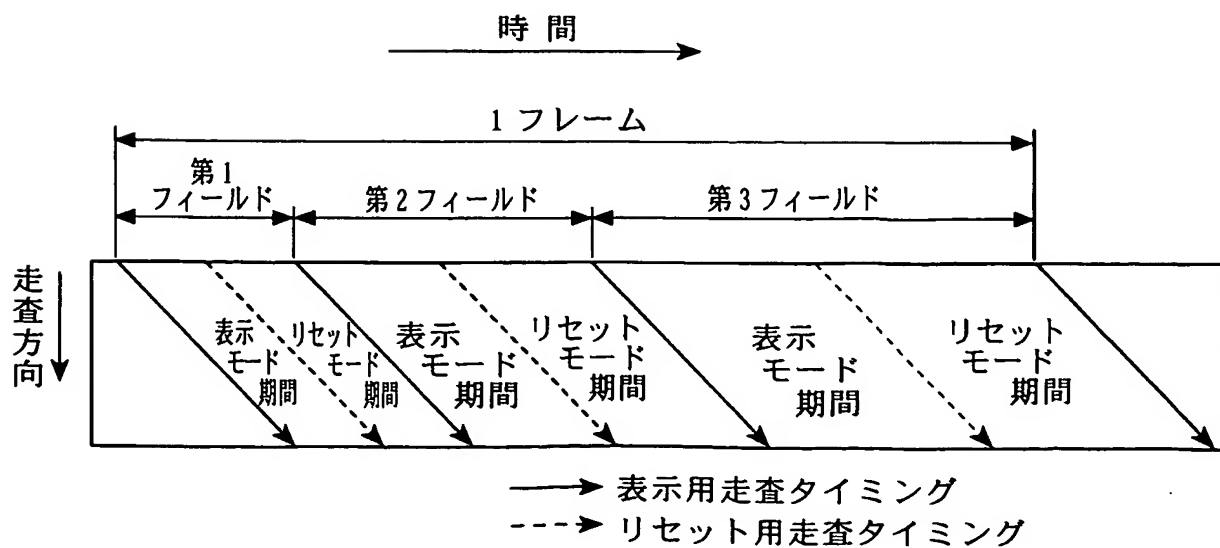


図 12

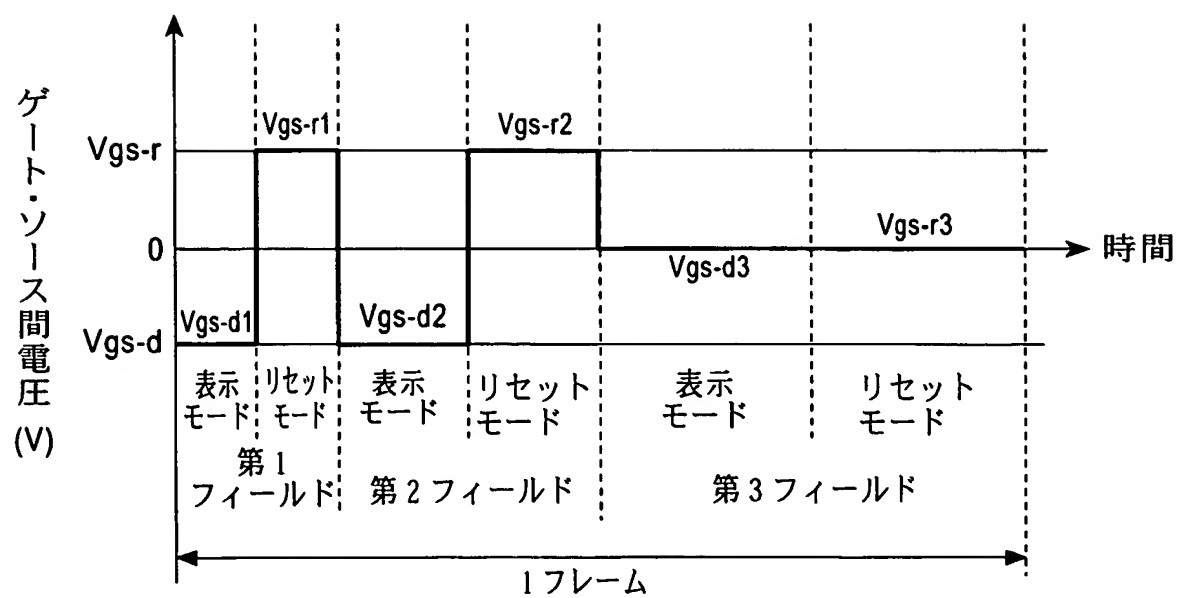


図 13

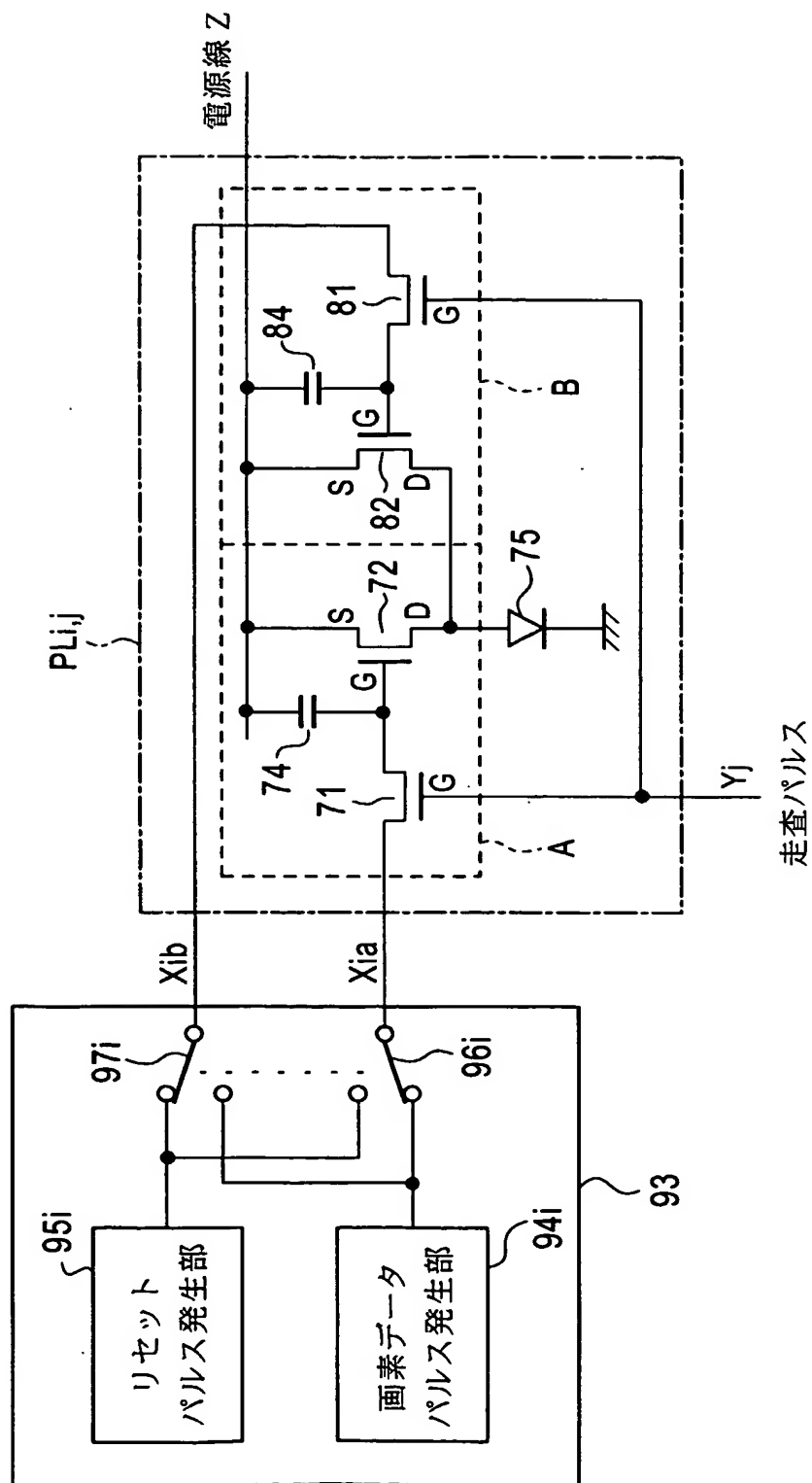
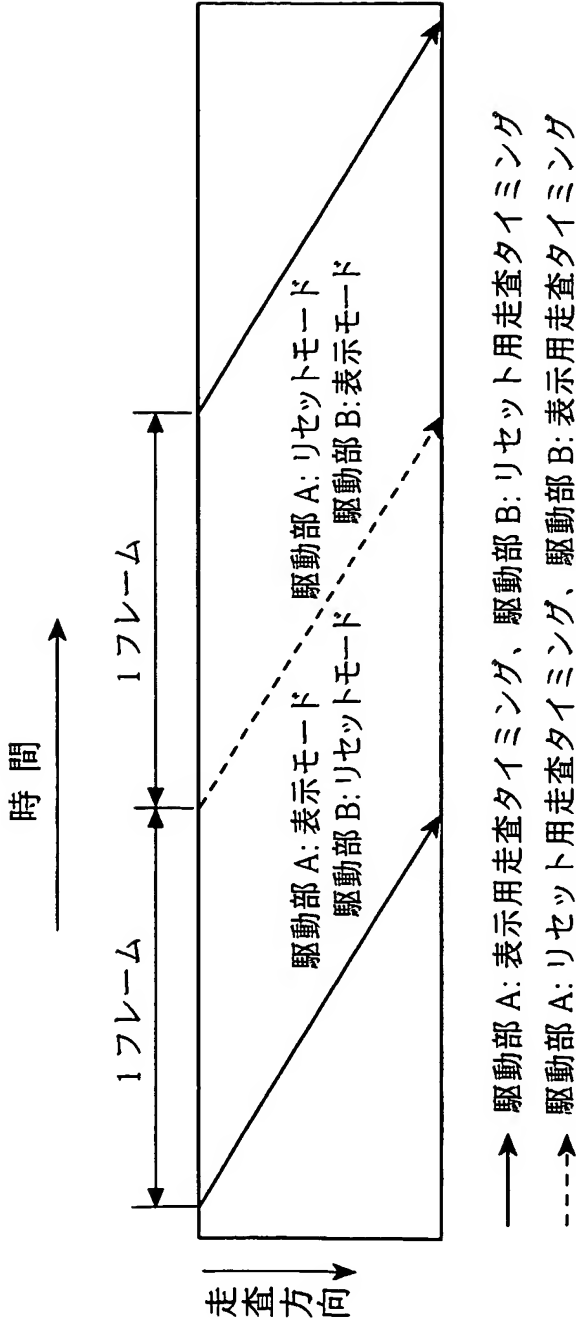


図 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014712

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G09G3/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G09G3/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-91376 A (Hitachi, Ltd.), 27 March, 2002 (27.03.02), Par Nos. [0021] to [0063]; Figs. 1 to 5, 7 to 15	1, 3-5, 8, 11-12
Y	Par Nos. [0021] to [0063]; Figs. 1 to 5, 7 to 15	2, 7, 9-10, 13-14
A	Par Nos. [0021] to [0063]; Figs. 1 to 5, 7 to 15 & US 2001/055828 A1	6
Y	JP 6-347753 A (PRIME VIEW HK LTD.), 22 December, 1994 (22.12.94), Par Nos. [0015] to [0031] & AU 9461500 A & CN 1122165 A & TW 241357 B & WO 1994/025954 A1	2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 December, 2004 (21.12.04)		Date of mailing of the international search report 11 January, 2005 (11.01.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014712

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-241706 A (Seiko Epson Corp.), 29 August, 2003 (29.08.03), Par Nos. [0045] to [0047] & US 2003/112231 A1 & CN 1427387 A & TW 573289 B	7
Y	JP 2002-175047 A (Seiko Epson Corp.), 21 June, 2002 (21.06.02), Par No. [0024] & US 2002/044109 A1 & KR 2002/025774 A & TW 538650 B & CN 1360295 A & EP 1193677 A2	9-10, 13-14
P, X	JP 2004-118132 A (Hitachi, Ltd.), 15 April, 2004 (15.04.04), Par Nos. [0050] to [0104]; Figs. 1 to 19 & US 2004/061671 A1	1-4, 7-14
P, X	JP 2004-170815 A (Kibi Denshi Kofun Yugen Koshi), 17 June, 2004 (17.06.04), Par Nos. [0073] to [0093], [0120] to [0135]; Figs. 4 to 5, 9 to 10 & US 2004/100203 A1	1, 3-4, 8-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-91376 A (株式会社日立製作所) 2002.03.27 段落番号【0021】-【0063】及び図1-5, 7-15	1, 3-5, 8, 11-12
Y	段落番号【0021】-【0063】及び図1-5, 7-15	2, 7, 9-10, 13-14
A	段落番号【0021】-【0063】及び図1-5, 7-15 & US 2001/055828 A1	6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.12.2004

国際調査報告の発送日

11.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-347753 A (プライム ビュー エイチケイ リ ミテッド); 1994. 12. 22 段落番号【0015】-【0031】 &AU 9461500 A &CN 1122165 A &TW 241357 B &WO 1994/025954 A1	2
Y	JP 2003-241706 A (セイコーエプソン株式会社) 2003. 08. 29 段落番号【0045】-【0047】 &US 2003/112231 A1 &CN 1427387 A &TW 573289 B	7
Y	JP 2002-175047 A (セイコーエプソン株式会社) 2002. 06. 21 段落番号【0024】 &US 2002/044109 A1 &KR 2002/025774 A &TW 538650 B &CN 1360295 A &EP 1193677 A2	9-10, 13-14
P, X	JP 2004-118132 A (株式会社日立製作所) 2004. 04. 15 段落番号【0050】-【0104】, 図1-19 &US 2004/061671 A1	1-4, 7-14
P, X	JP 2004-170815 A (奇美電子股▲ふん▼有限公 司), 2004. 06. 17 段落番号【0073】-【0093】, 【0120】-【013 5】, 図4-5, 9-10 &US 2004/100203 A1	1, 3-4, 8-14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.